

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-093080

(43)Date of publication of application : 25.03.1992

(51)Int.Cl.

H01L 29/784  
H01L 21/336  
H01L 27/088

(21)Application number : 02-212333

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.08.1990

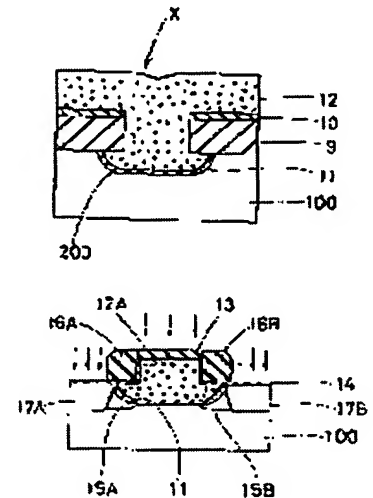
(72)Inventor : MIYANAGA ISAO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To eliminate thinning of a pattern of a gate electrode and to reduce an electric resistance by forming an inverter T-shaped gate electrode on a groove formed by etching a first film formed on a semiconductor layer and the layer, through a gate oxide film.

**CONSTITUTION:** A PSG film 9 to become a first film and an Si<sub>3</sub>N<sub>4</sub> film 10 are formed on a P-type silicon substrate 100. The films 10, 9 and further the substrate 100 are etched to form a groove 200. A gate oxide film 11 is formed thereon, and a conductive film 12 is flatly formed thereon. Then, the film 12 is etched back to form an inverted T-shaped gate electrode 12A. The surface is thermally oxidized to form a silicon thermal oxide film 13. After the films 10, 9 are removed, a silicon thermal oxide film 14 is formed. Thereafter, low concentration n-type semiconductor regions 15A, 15B to become first semiconductor regions are formed. Silicon oxide films 16A, 16B are formed as spacers, and n-type semiconductor regions 17A, 17B are formed. This field effect type transistor does not have thinning of a pattern at the electrode 12A.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-93080

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月25日

H 01 L 29/784  
21/336  
27/088

8422-4M H 01 L 29/78 3 0 1 V  
8422-4M 3 0 1 L  
7735-4M 27/08 1 0 2 C

審査請求 未請求 請求項の数 8 (全 17 頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 平2-212333

⑯ 出 願 平2(1990)8月8日

⑰ 発 明 者 宮 永 績 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 宮 井 咲 夫

# 明 細 書

## 1. 発明の名称

半導体装置およびその製造方法

## 2. 特許請求の範囲

(1) 第1導電型の半導体層と、この第1導電型の半導体層に形成されたソースおよびドレインと、前記第1導電型の半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極膜とを有する電界効果型トランジスタからなる半導体装置であって、

前記第1導電型の半導体層に形成されて側面にテーパのついた溝と、この溝の表面にゲート絶縁膜を形成し、さらにこのゲート絶縁膜上に逆T字型のゲート電極を形成して、逆T字型に張り出した薄いゲート電極膜が前記ゲート電極から離れるに従って薄くなるようテーパのついた前記逆T字型のゲート電極を有し、前記逆T字型に張り出した薄いゲート電極膜下の前記第1導電型の半導体層中に、前記ゲート電極からソースおよびドレインに向かって、ソースおよびドレインの一部とな

る低濃度の第2導電型の第1の半導体領域と高濃度の第2導電型の第2の半導体領域とが順に形成され、少なくとも低濃度の第2導電型の第1の半導体領域が完全に前記ゲート電極膜下に有する半導体装置。

(2) 第1導電型の半導体層上に所定の厚みの第1の被膜を形成する工程と、

前記第1の被膜の所定の領域を選択的に除去する工程と、

前記第1の被膜を選択的に除去することにより露出した前記半導体層を等方性エッチングすることにより、前記第1の被膜の端部がオーバーハングするよう側面にテーパのついた溝を形成する工程と、

この溝の表面にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上および前記第1の被膜上に導電膜を平坦に形成する工程と、

この導電膜をエッチバックして前記ゲート絶縁膜上に所定の厚みの前記導電膜を残すとともに他の領域の前記導電膜を除去することにより、テー

バのついた薄い張り出し電極を有する逆T字型のゲート電極を形成する工程と、

前記第1の被膜を除去し、前記ゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の不純物を前記ゲート電極の端部を透過させてイオン注入することにより、ソースおよびドレインの一部となる低濃度の第2導電型の第1の半導体領域を形成する工程と、

前記ゲート電極の側壁に第2の被膜を形成する工程と、

この第2の被膜および前記ゲート電極をマスクに用いて、第2導電型の不純物をイオン注入することにより、ソースおよびドレインとなる高濃度の第2導電型の第2の半導体領域を形成する工程とを含む半導体装置の製造方法。

(3) 第1導電型の半導体層と、この第1導電型の半導体層に形成されたソースおよびドレインと、前記第1導電型の半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極膜とを有する電界効果型トランジスタから

3

この溝の表面にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上および前記第1の被膜上に導電膜を平坦に形成する工程と、

この導電膜をエッチバックして前記ゲート絶縁膜上に所定の厚みの前記導電膜を残すとともに他の領域の前記導電膜を除去することにより、テーパのついた薄い張り出し電極を有する逆T字型のゲート電極を形成する工程と、

前記第1の被膜を除去し、前記ゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の不純物を前記ゲート電極の端部を透過させてイオン注入することにより、ソースおよびドレインとなる高濃度の第2導電型の第3の半導体領域を形成する工程とを含む半導体装置の製造方法。

(5) 第1導電型の半導体層と、この第1導電型の半導体層に形成されたソースおよびドレインと、前記第1導電型の半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極膜とを有する電界効果型トランジスタからなる半導体装置であって、

5

なる半導体装置であって、

前記第1導電型の半導体層に形成されて側面にテーパのついた溝と、この溝の表面にゲート絶縁膜を形成し、このゲート絶縁膜上に逆T字型のゲート電極を形成して、逆T字型に張り出した薄いゲート電極膜が前記ゲート電極から離れるに従って薄くなるようテーパのついた前記逆T字型のゲート電極を有し、前記逆T字型に張り出した薄いゲート電極膜下の前記第1導電型の半導体層中にソースおよびドレインとなる高濃度の第2導電型の半導体領域を有する半導体装置。

(4) 第1導電型の半導体層上に所定の厚みの第1の被膜を形成する工程と、

前記第1の被膜の所定の領域を選択的に除去する工程と、

前記第1の被膜を選択的に除去することにより露出した前記半導体層を等方性エッチングすることにより、前記第1の被膜の端部がオーバーハングするよう側面にテーパのついた溝を形成する工程と、

4

前記第1導電型の半導体層に形成されて側面にテーパのついた溝と、この溝の表面に形成されて側面にテーパのついた溝と、この溝の表面にゲート絶縁膜を形成し、このゲート絶縁膜上に逆T字型のゲート電極を形成して、逆T字型に張り出した薄いゲート電極膜が前記ゲート電極から離れるに従って薄くなるようテーパのついた前記逆T字型のゲート電極と、この逆T字型に張り出した薄いゲート電極下にオーバーラップするように形成したソースおよびドレインの一部となる低濃度の第2導電型の第4の半導体領域と、この第4の半導体領域の内側に形成したソースおよびドレインとなる高濃度の第2導電型の第5の半導体領域とを備えた半導体装置。

(6) 第1導電型の半導体層上に所定の厚みの第1の被膜を形成する工程と、

前記第1の被膜の所定の領域を選択的に除去する工程と、

前記第1の被膜を選択的に除去することにより露出した前記半導体層を等方性エッチングすることにより

6

とにより、前記第1の被膜の端部がオーバーハングよう側面にテーパのついた溝を形成する工程と、  
この溝の表面にゲート絶縁膜を形成する工程と、  
このゲート絶縁膜上および前記第1の被膜上に導電膜を平坦に形成する工程と、

この導電膜をエッチバックして前記ゲート絶縁膜上に所定の厚みの前記導電膜を残すとともに他の領域の前記導電膜を除去することにより、テーパのついた薄い張り出し電極を有する逆T字型のゲート電極を形成する工程と、

前記第1の被膜を除去し、前記ゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の第1の不純物を前記逆T字型のゲート電極の端部を透過させてイオン注入することにより、ソースおよびドレインの一部となる低濃度の第2導電型の第4の半導体領域を形成する工程と、

前記ゲート電極の膜厚の厚い部分をマスクに用いて、前記第2導電型の第1の不純物より拡散速度の小さい第2導電型の第2の不純物をイオン注入することにより、ソースおよびドレインとなる

7

度の第2導電型の第2の半導体領域とが順に形成され、少なくとも低濃度の第2導電型の第1の半導体領域が完全に前記ゲート電極膜下に有する第1トランジスタを備えとともに、前記半導体層に形成されて側面にテーパのついた第2の溝と、この第2の溝の表面に形成したゲート絶縁膜と、このゲート絶縁膜上に形成した四角形のゲート電極と、この四角形のゲート電極にオーバーラップしないように形成した低濃度の第2導電型の第3の半導体領域と、この第3の半導体領域の外側に形成した第2導電型の第4の半導体領域とからなる第2トランジスタを備えた半導体装置。

(8) 第1導電型の半導体層上に所定の厚みの第1の被膜を形成する工程と、

前記第1の被膜の第1トランジスタ形成領域および第2トランジスタ形成領域を選択的に除去する工程と、

前記第1の被膜を選択的に除去することにより露出した前記半導体層を等方性エッチングすることにより、前記第1の被膜の端部がオーバーハ

第2導電型の第5の半導体領域を前記第4の半導体領域の内側に形成する工程とを含む半導体装置の製造方法。

(7) 第1導電型の半導体層と、この第1導電型の半導体層に形成されたソースおよびドレインと、前記第1導電型の半導体層上に形成されたゲート絶縁膜と、このゲート絶縁膜上に形成されたゲート電極とを有する電界効果型トランジスタからなく半導体装置であって、

前記第1導電型の半導体層に形成されて側面にテーパのついた溝と、この溝の表面にゲート絶縁膜を形成し、さらにこのゲート絶縁膜上に逆T字型のゲート電極を形成して、逆T字型に張り出した薄いゲート電極膜が前記ゲート電極から離れるに従って薄くなるようテーパのついた前記逆T字型のゲート電極を有し、前記逆T字型に張り出した薄いゲート電極膜下の前記第1導電型の半導体層中に、ゲート電極からソースおよびドレインに向かって、ソースおよびドレインの一部となる低濃度の第2導電型の第1の半導体領域および高濃

8

グよう側面にテーパのついた第1および第2の溝を形成する工程と、

この第1および第2の溝の表面にゲート絶縁膜を形成する工程と、

このゲート絶縁膜上および前記第1の被膜上に導電膜を平坦に形成する工程と、

この導電膜をエッチバックして前記ゲート絶縁膜上に所定の厚みの前記導電膜を残すとともに他の領域の前記導電膜を除去することにより、テーパのついた薄い張り出し電極を有する逆T字型の第1および第2のゲート電極を形成する工程と、

この第1および第2のゲート電極上に、若しくエッチング速度の遅い第1のシリコン熱酸化膜を形成する工程と、

前記第1の被膜を除去し、前記第1および第2のゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の不純物を前記第1および第2のゲート電極の端部を透過させてイオン注入することにより、ソースおよびドレインの一部となる低濃度の第2導電型の第1および第3の半導体領域を形

9

10

成する工程と、

前記第1のゲート電極を形成した第1トランジスタ形成領域に、第2の被膜を形成する工程と、

前記第2トランジスタ形成領域の前記第2のゲート電極の膜厚の厚い部分の側壁に第3の被膜を形成する工程と、

前記第2トランジスタ形成領域の前記第3の半導体領域上に、第2のシリコン熱酸化膜を形成する工程と、

前記第3の被膜を除去した後、前記第1および第2のシリコン熱酸化膜をマスクに用いて前記第2トランジスタ形成領域の前記第2のゲート電極の張り出し部分を除去することにより、四角形の第3のゲート電極を形成する工程と、

前記第2のシリコン熱酸化膜および前記第2の被膜を除去した後、前記第1トランジスタ形成領域の前記第1のゲート電極および前記第2トランジスタ形成領域の前記第3のゲート電極の側壁に第4の被膜を形成する工程と、

前記第1のゲート電極と前記第3のゲート電極

と前記第4の被膜とをマスクに用いて、第2導電型の不純物をイオン注入することにより、ソースおよびドレインとなる高濃度の第2導電型の第2および第4の半導体領域を形成する工程を含む半導体装置の製造方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

この発明は特に集積回路用の電界効果トランジスタにより構成される半導体装置およびその製造方法に関するものである。

#### 〔従来の技術〕

近年、電界効果型トランジスタにより構成された集積回路は、構成素子の微細化が大きく進展し、その最小加工寸法は1ミクロン以下いわゆるサブミクロン領域に達している。しかし、この微細化を妨げる要因の一つとしてホットキャリア効果等の信頼性に関する問題があり、構成素子の構造や製造方法について、多くの改良がなされてきた。その中でもドレイン付近の電界強度を下げ、結果的に電源電圧を大きくとれるデバイス構造の製造

1 1

方法としてGOLD(Gate-Drain Over lapped LOD)

(井沢 他、1987年インターナショナル エレクトロン デバイス ミーティング テクニカルダイジェスト オブ ペーパーズ 38頁-41頁 (IZAWA et al, International Electron Device Meeting Technical Digest of Papers pp.38-41, 1987) の提案がある。

このGOLDの構造とその製造方法を第5図に基づいて説明する。

第5図(a)~(d)はGOLDの電界効果型トランジスタの主要部の製造方法を示す工程順断面図である。

第5図(a)に示すように、p型のシリコン基板100上にゲート酸化膜1、下層の薄い多結晶シリコン膜2、上層の厚い多結晶シリコン膜3、シリコン酸化膜4が順次形成される。そして、ゲート形成予定部のシリコン酸化膜4上に、レジストパターン5がホトリソグラフィ工程により形成される。薄い多結晶シリコン膜2と厚い多結晶シリコン3膜との界面には、膜厚約0.5~1.0ナノメートルの自然酸化膜(図示せず)が形成されている。

1 3

1 2

次に第5図(b)に示すように、レジストパターン5をマスクに用いてシリコン酸化膜4をエッチングすることにより、シリコン酸化膜パターン4Aが形成された後、さらにこのシリコン酸化膜パターン4Aをマスクに用い、酸化膜に対して選択性の高いドライエッチングにより厚い多結晶シリコン膜3をエッチングする。この時、薄い多結晶シリコン膜2の表面に形成された自然酸化膜が、エッチングストップの働きをし、厚い多結晶シリコン膜3が等方的にエッチングされ、多結晶シリコン膜パターン3Aが形成される。その後、シリコン酸化膜パターン4A、多結晶シリコン膜パターン3Aをマスクに用いて、リンをイオン注入することにより、p型のシリコン基板100中にソースおよびドレインとなるn型の低濃度の半導体領域6A、6Bが形成される。

次に第5図(c)に示すように、シリコン酸化膜パターン4Aおよび多結晶シリコン膜パターン3Aの側面に酸化膜7A、7Bが形成される。そして、この酸化膜7A、7Bをマスクに用いて、第5図

1 4

(b)に示す薄い多結晶シリコン膜 2 をエッチングすることにより実質的にゲート電極となる多結晶シリコン膜パターン 2 A が形成される。

そして最後に、第 5 図(d)に示すように、酸化膜 7 A、7 B およびシリコン酸化膜パターン 4 A をマスクに用い、高濃度のヒ素がイオン注入されることにより、p 型のシリコン基板 1 0 0 中にソースおよびドレインの一部となる n 型の半導体領域 8 A、8 B が形成される。

このような工程で製造された GOLD 構造の電界効果型トランジスタは、ゲート電極となる多結晶シリコン膜パターン 2 A に対して、ソースおよびドレインとなる n 型の半導体領域 6 A、6 B が十分にオーバーラップ (0.2 ミクロン以上) しており、このオーバーラップにより次のような特徴を有する。

(1) ドレイン付近に印加される電界が通常の製造方法により形成された電界効果型トランジスタ (単ードレイン) と比べ小さいため、ホットキャリアの発生が抑制され、信頼性が高い。

1 5

じることにより、シリコン酸化膜パターン 4 A がオーバーハングになるため、多結晶シリコン膜パターン 3 A の側面に残置させた酸化膜 7 A、7 B のカバレッジ形状が悪くなり、さらにこの酸化膜シリコン膜パターン 2 A を形成するためのマスクとして用いるため、ゲート電極の幅にバラツキが生じやすい。

(3) シリコン基板 1 0 0 上にゲート電極となる多結晶シリコン膜パターン 2 A、3 A が形成され、さらにこの多結晶シリコン膜パターン 3 A 上に、シリコン酸化膜パターン 4 A が形成されるため、シリコン基板 1 0 0 の表面の凹凸が大きくなり 2 層目の配線の平坦性に問題が生じる。

この発明の目的は上記問題点に鑑み、ゲート電極となる導電膜の細りをなくすことにより電気抵抗を小さくし、かつホットキャリア等を抑制することのできる半導体装置およびその製造方法を提供することである。

(課題を解決するための手段)

請求項(1)記載の半導体装置は、第 1 導電型の半

(2) オーバーラップの一部分すなわち半導体領域 8 A、8 B が高濃度であり、通常の LDD (lightly Doped Drain) 構造の電界効果型トランジスタと比較して、抵抗が小さいため駆動力が優れている。

(発明が解決しようとする課題)

しかしながら、このような GOLD 構造を有する従来の電界効果型トランジスタは、次のような問題点があった。

(1) 第 5 図(b)に示す工程において、多結晶シリコン膜 3 をエッチングするとき、下層の多結晶シリコン膜 2 の表面に形成されている極めて薄い自然酸化膜をエッチングストップとして用いるため、酸化膜に対して大きな (数百倍) 選択比をもつ特殊なエッチャントが必要となる。しかし、現状では、酸化膜等に数百倍の大きな選択比のあるエッチングは等方性になりやすく、多結晶シリコン膜パターン 3 A に細りが生じる。その結果、ゲート電極の電気抵抗が大きくなる。

(2) 多結晶シリコン膜パターン 3 A に細りが生

1 6

導体層に形成されて側面にテーパーのついた溝と、この溝の表面にゲート絶縁膜を形成し、さらにこのゲート絶縁膜上に逆 T 字型のゲート電極を形成して、逆 T 字型に張り出した薄いゲート電極膜がゲート電極から離れるに従って薄くなるようテーパーのついた逆 T 字型のゲート電極を有し、逆 T 字型に張り出した薄いゲート電極膜下の第 1 導電型の半導体層中に、ゲート電極からソースおよびドレインに向かって、ソースおよびドレインの一部となる低濃度の第 2 導電型の第 1 の半導体領域と高濃度の第 2 導電型の第 2 の半導体領域とが順に形成され、少なくとも低濃度の第 2 導電型の第 1 の半導体領域が完全にゲート電極膜下に有するものである。

請求項(2)記載の半導体装置の製造方法は、次のとおりである。

第 1 導電型の半導体層上に所定の厚みの第 1 の被膜を形成する。第 1 の被膜の所定の領域を選択的に除去する。第 1 の被膜を選択的に除去することにより露出した半導体層を等方性エッチングす

1 7

—451—

1 8

ることにより、第1の被膜の端部がオーバーハングするよう側面にテーパのついた溝を形成する。この溝の表面にゲート絶縁膜を形成する。このゲート絶縁膜上および第1の被膜上に導電膜を平坦に形成する。この導電膜をエッチバックしてゲート絶縁膜上に所定の厚みの導電膜を残すとともに他の領域の導電膜を除去することにより、テーパのついた薄い張り出し電極を有する逆T字型のゲート電極を形成する。第1の被膜を除去し、ゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の不純物をゲート電極の端部を透過させてイオン注入することにより、ソースおよびドレインの一部となる低濃度の第2導電型の第1の半導体領域を形成する。ゲート電極の側壁に第2の被膜を形成する。この第2の被膜およびゲート電極をマスクに用いて、第2導電型の不純物をイオン注入することにより、ソースおよびドレインとなる高濃度の第2導電型の第2の半導体領域を形成する。

請求項(3)記載の半導体装置は、第1導電型の半

19

導絶縁膜上に所定の厚みの導電膜を残すとともに他の領域の導電膜を除去することにより、テーパのついた薄い張り出し電極を有する逆T字型のゲート電極を形成する。第1の被膜を除去し、ゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の不純物をゲート電極の端部を透過させてイオン注入することにより、ソースおよびドレインとなる高濃度の第2導電型の第3の半導体領域を形成する。

請求項(5)記載の半導体装置は、第1導電型の半導体層に形成されて側面にテーパのついた溝と、この溝の表面に形成されて側面にテーパのついた溝と、この溝の表面にゲート絶縁膜を形成し、さらにこのゲート絶縁膜上に逆T字型のゲート電極を形成して、逆T字型に張り出した薄いゲート電極膜がゲート電極から離れるに従って薄くなるようテーパのついた逆T字型のゲート電極と、この逆T字型に張り出した薄いゲート電極下にオーバーラップするように形成したソースおよびドレインの一部となる低濃度の第2導電型の第4の半導

21

導体層に形成されて側面にテーパのついた溝と、この溝の表面にゲート絶縁膜を形成し、さらにこのゲート絶縁膜上に逆T字型のゲート電極を形成して、逆T字型に張り出した薄いゲート電極膜がゲート電極から離れるに従って薄くなるようテーパのついた逆T字型のゲート電極を有し、逆T字型に張り出した薄いゲート電極膜下の第1導電型の半導体層中にソースおよびドレインとなる高濃度の第2導電型の半導体領域を有するものである。請求項(4)記載の半導体装置の製造方法は、次のとおりである。

第1導電型の半導体層上に所定の厚みの第1の被膜を形成する。第1の被膜の所定の領域を選択的に除去する。第1の被膜を選択的に除去することにより露出した半導体層を等方性エッチングすることにより、第1の被膜の端部がオーバーハングするよう側面にテーパのついた溝を形成する。この溝の表面にゲート絶縁膜を形成する。このゲート絶縁膜上および第1の被膜上に導電膜を平坦に形成する。この導電膜をエッチバックしてゲ

20

体領域と、この第4の半導体領域の内側に形成したソースおよびドレインとなる高濃度の第2導電型の第5の半導体領域とを備えたものである。

請求項(6)記載の半導体装置の製造方法は、次のとおりである。

第1導電型の半導体層上に所定の厚みの第1の被膜を形成する。第1の被膜の所定の領域を選択的に除去する。第1の被膜を選択的に除去することにより露出した半導体層を等方性エッチングすることにより、第1の被膜の端部がオーバーハングするよう側面にテーパのついた溝を形成する。この溝の表面にゲート絶縁膜を形成する。このゲート絶縁膜上および第1の被膜上に導電膜を平坦に形成する。この導電膜をエッチバックしてゲート絶縁膜上に所定の厚みの導電膜を残すとともに他の領域の導電膜を除去することにより、テーパのついた薄い張り出し電極を有する逆T字型のゲート電極を形成する。第1の被膜を除去し、ゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の第1の不純物を逆T字型のゲート電極の端部

22

を透過させてイオン注入することにより、ソースおよびドレインの一部となる低濃度の第2導電型の第4の半導体領域を形成する。ゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の第1の不純物より拡散速度の小さい第2導電型の第2の不純物をイオン注入することにより、ソースおよびドレインとなる第2導電型の第5の半導体領域を第4の半導体領域の内側に形成する。

請求項(7)記載の半導体装置は、第1導電型の半導体層に形成されて側面にテーパのついた溝と、この溝の表面にゲート絶縁膜を形成し、さらにこのゲート絶縁膜上に逆T字型のゲート電極を形成して、逆T字型に張り出した薄いゲート電極膜がゲート電極から離れるに従って薄くなるようテーパのついた逆T字型のゲート電極を有し、逆T字型に張り出した薄いゲート電極膜下の第1導電型の半導体層中に、ゲート電極からソースおよびドレインに向かって、ソースおよびドレインの一部となる低濃度の第2導電型の第1の半導体領域および高濃度の第2導電型の第2の半導体領域とが

2 3

を形成する。この第1および第2の溝の表面にゲート絶縁膜を形成する。このゲート絶縁膜上および第1の被膜上に導電膜を平坦に形成する。この導電膜をエッチバックしてゲート絶縁膜上に所定の厚みの導電膜を残すとともに他の領域の導電膜を除去することにより、テーパのついた薄い張り出し電極を有する逆T字型の第1および第2のゲート電極を形成する。この第1および第2のゲート電極上に、若しくエッチング速度の違い第1のシリコン熱酸化膜を形成する。第1の被膜を除去し、第1および第2のゲート電極の膜厚の厚い部分をマスクに用いて、第2導電型の不純物を第1および第2のゲート電極の端部を透過させてイオン注入することにより、ソースおよびドレインの一部となる低濃度の第2導電型の第1および第3の半導体領域を形成する。第1のゲート電極を形成した第1トランジスタ形成領域に、第2の被膜を形成する。第2トランジスタ形成領域の第2のゲート電極の膜厚の厚い部分の側壁に第3の被膜を形成する。第2トランジスタ形成領域の第3の

2 5

順に形成され、少なくとも低濃度の第2導電型の第1の半導体領域が完全にゲート電極膜下に有する第1トランジスタを備えるとともに、半導体層に形成されて側面にテーパのついた第2の溝と、この第2の溝の表面に形成したゲート絶縁膜と、このゲート絶縁膜上に形成した四角形のゲート電極と、この四角形のゲート電極にオーバーラップしないように形成した低濃度の第2導電型の第3の半導体領域と、この第3の半導体領域の外側に形成した第2導電型の第4の半導体領域とからなる第2トランジスタを備えたものである。

請求項(8)記載の半導体装置の製造方法は、次のとおりである。

第1導電型の半導体層上に所定の厚みの第1の被膜を形成する。第1の被膜の第1トランジスタ形成領域および第2トランジスタ形成領域を選択的に除去する。第1の被膜を選択的に除去することにより露出した半導体層を等方性エッチングすることにより、第1の被膜の端部がオーバーハングよう側面にテーパのついた第1および第2の溝

2 4

半導体領域上に、第2のシリコン熱酸化膜を形成する。第3の被膜を除去した後、第1および第2のシリコン熱酸化膜をマスクに用いて第2トランジスタ形成領域の第2のゲート電極の張り出し部分を除去することにより、四角形の第3のゲート電極を形成する。第2のシリコン熱酸化膜および第2の被膜を除去した後、第1トランジスタ形成領域の第1のゲート電極および第2トランジスタ形成領域の第3のゲート電極の側壁に第4の被膜を形成する。第1のゲート電極と第3のゲート電極と第4の被膜とをマスクに用いて、第2導電型の不純物をイオン注入することにより、ソースおよびドレインとなる高濃度の第2導電型の第2および第4の半導体領域を形成する。

〔作用〕

この発明の構成によれば、次のような作用を得ることができる。

(1) 1回の導電膜の堆積で逆T字型のゲート電極を形成することができるため、従来のような膜厚制御の必要な薄い自然酸化膜を形成する工程と、

2 6

その自然酸化膜をエッチングストップとして用いるために、極めて高度の制御性を必要とするエッチングの工程を必要としない。

(2) 第1の被膜の所定の領域をエッチングし、さらに露出した第1導電型の半導体層の表面を当方性エッチングでエッチングして側面にテーパーのついた溝を形成し、この溝上にゲート酸化膜および逆T字型のゲート電極を形成する。そなわち逆T字型のゲート電極の膜厚の厚い部分は、第1の被膜をエッチングした領域に形成するため、ゲート電極にパターンの細りを生じることなく、電気抵抗の小さいゲート電極を得ることができる。

(3) 第1導電型の半導体層をエッチングして形成した溝に、ゲート電極を形成することにより、ゲート電極の位置が他の領域より低い位置となり半導体層の表面の凹凸が小さくなるため、2層目の配線に対する段差が小さくなり平坦化を図ることができる。

(4) 逆T字型のゲート電極の端部すなわち張り出した部分はテーパーがついているので、この逆T

字型のゲート電極の端部を透過させてイオン注入を行ったとき、ゲート電極の端下ではゲート電極の先端になるにしたがって、不純物濃度が高くなる濃度のプロファイルが生じることにより電界の緩和がはかられ、ホットキャリアの発生が抑制される。

さらに請求項(7)および(8)の構成によれば、同一半導体層上に形成した、第1のゲート電極の端部にソースおよびドレインとなる第1の半導体領域がオーバーラップした第1トランジスタと、第2のゲート電極にソースおよびドレインとなる第3の半導体領域がオーバーラップしていない第2トランジスタとを混用することができる。第1トランジスタは、ホットキャリアの発生を抑制することができ、また第2トランジスタはゲート容量の増加を抑制することができる。

#### (実施例)

第1図(a)~(e)は、この発明の第1の実施例の半導体装置の製造方法を示す工程順断面図である。

第1図(a)に示すように、第1導電型の半導体層

27

となるP型のシリコン基板100上に、第1の被膜となる高濃度のリンを含有する膜厚約250(nm)の酸化膜(以下「PSG膜9」という。)を形成し、このPSG膜9上に、膜厚約50(nm)のSi、N、膜10を形成する。

次に第1図(b)に示すように、ホトリソグラフィ工程によりゲート電極形成領域XのSi、N、膜10およびPSG膜9をエッチングして除去し、さらに表面が露出したシリコン基板100を等方性エッチングでエッチングすることにより、深さ約150(nm)の溝200を形成する。この溝200は側面にテーパーを有しており、また溝200にはPSG膜9の端部がエッチング深さ(約150nm)と同程度にオーバーハングしている。そして、このエッチングしたシリコン基板100上に、膜厚約10~20(nm)のゲート酸化膜11を形成し、このゲート酸化膜11上およびSi、N、膜10上に、導電膜12を平坦に形成する。

この導電膜12として、多結晶シリコン膜を用いた。

28

次に第1図(c)に示すように、導電膜12をエッチバックすることにより、Si、N、膜10上の導電膜12を除去し、かつゲート酸化膜11上に膜厚約350(nm)程度の導電膜12を残すことにより、逆T字型のゲート電極12Aを形成する。そして、このゲート電極12Aの表面を熱酸化することにより、膜厚約50~100(nm)程度のシリコン熱酸化膜13を形成する。

このシリコン熱酸化膜13は、多結晶シリコン膜からなる導電膜12およびPSG膜9に比較して、著しくエッチング速度が遅いものである。

次に第1図(d)に示すように、Si、N、膜10およびPSG膜9を除去した後、ゲート電極12Aおよびシリコン基板100の表面に、膜厚約20(nm)程度のシリコン熱酸化膜14を形成する。その後、シリコン熱酸化膜13およびゲート電極12Aの膜厚の厚い部分をマスクに用い、リンをゲート電極12Aの端部すなわち張り出した部分を透過させて、イオン注入することにより、第1の半導体領域となる低濃度のn型の半導体領域

29

30

15A, 15Bを形成する。

なおリンをイオン注入する前に、シリコン熱酸化膜13およびゲート電極12Aの膜厚の厚い部分の側壁に、シリコン酸化膜(図示せず)をゲート電極12Aの膜厚の薄い部分の端部より内側に形成することにより、ゲート電極12Aと第1の半導体領域15A, 15Bとのオーバーラップ量を制御しても良い。またPSG膜9を除去するとき、例えばH<sub>2</sub>OとHFとの混合エッチング液を用いるとPSG膜9に比べシリコン熱酸化膜13のエッチング速度を小さくすることができる。したがって、シリコン熱酸化膜13はほとんど除去されず、PSG膜9のみを除去することができる。

次に第1図(e)に示すように、ゲート電極12Aの膜厚の厚い部分の側壁にスペーサとしてシリコン酸化膜16A, 16Bを形成する。そして、シリコン熱酸化膜13、シリコン酸化膜16A, 16Bおよびゲート電極12Aをマスクに用いて、ヒ素をイオン注入することにより、第2の半導体領域となる高濃度のn型の半導体領域17Aおよび

17Bを形成する。

このように形成した電界効果型トランジスタは、ソースおよびドレインの一部となる低濃度の半導体領域15A, 15Bがゲート電極12Aにオーバーラップしている。またゲート電極12Aの端下に形成した半導体領域15A, 15Bの不純物濃度は、深さ方向およびチャネル方向に緩い傾斜を持つ分布になるので、チャネル方向の電界が緩和された高耐圧なトランジスタが得られる。またゲート電極12Aの膜厚の厚い部分にパターンの細りがなく、電気抵抗の小さいゲート電極が得られる。さらにシリコン基板100をエッチングした溝200に、ゲート酸化膜11およびゲート電極12Aを形成することにより、ゲート電極12Aがシリコン基板100の他の領域に比べ低い位置にあるため、2層目の配線に対する段差を小さくすることができ、表面を平坦化することができる。

第2図(a)~(d)は、この発明の第2の実施例の半導体装置の製造方法を示す工程順断面図である。

31

第2図(a)~(c)に示す工程は、第1図(a)~(c)に示す工程と同様であるため、説明を省略する。

第2図(d)に示すように、第2図(c)に示すSi<sub>3</sub>N<sub>4</sub>膜10およびPSG膜9を除去した後、ゲート電極12Aおよびシリコン基板100の表面に膜厚約20(nm)程度のシリコン熱酸化膜14を形成する。その後、シリコン熱酸化膜13およびゲート電極12Aの膜厚の厚い部分をマスクに用いて、ヒ素をゲート電極12Aの端部すなわち張り出した部分を透過させてイオン注入することにより、第3の半導体領域となる高濃度のn型の半導体領域18A, 18Bを形成する。

このように形成した電界効果型トランジスタは、ヒ素をゲート電極12Aの端部を透過させてイオン注入するため、ゲート電極12Aの端部の直下付近の不純物濃度は、深さ方向およびチャネル方向に緩い傾斜を持つ分布になる。これによりチャネル方向の電界は緩和され、高耐圧なトランジスタを得ることができる。またゲート電極12Aの膜厚の厚い部分にパターンの細りがなく、電気抵

32

抗の小さいゲート電極が得られる。さらにシリコン基板100をエッチングした溝200に、ゲート酸化膜11およびゲート電極12Aを形成することにより、ゲート電極12Aがシリコン基板100の他の領域に比べ低い位置にあるため、2層目の配線に対する段差を小さくすることができ、表面を平坦化することができる。

第3図(a)~(e)は、この発明の第3の実施例の半導体装置の製造方法を示す工程順断面図である。

第3図(a)~(c)に示す工程は、第1図(a)~(c)に示す工程と同様であるため、説明を省略する。

第3図(d)に示すように、第3図(c)に示すSi<sub>3</sub>N<sub>4</sub>膜10およびPSG膜9を除去した後、ゲート電極12Aおよびシリコン基板100の表面に、膜厚約20(nm)程度のシリコン熱酸化膜14を形成する。その後、シリコン熱酸化膜13およびゲート電極12Aの膜厚の厚い部分をマスクに用い、ゲート電極12Aの端部すなわち張り出した部分を透過させて、シリコン基板100中にリンをイオン注入することにより、第4の半導体領域

33

34

となる低濃度のn型の半導体領域19A、19Bを形成する。

次に第3図(e)に示すように、シリコン熱酸化膜13および多結晶シリコン膜12Aの膜厚の厚い部分をマスクに用い、リンよりも拡散速度の遅いヒ素を多結晶シリコン膜12Aの端部を透過させて、シリコン基板100中にイオン注入することにより、第5の半導体領域となる高濃度のn型の半導体領域20A、20Bを形成する。

このように形成した電界効果型トランジスタのソースおよびドレインとなる半導体領域19A、19Bおよび半導体領域20A、20Bと、ゲート電極12Aとがオーバーラップしている。またゲート電極12Aの端部の直下付近の不純物濃度は、深さ方向およびチャネル方向に緩い傾斜を持つ分布になる。これによりチャネル方向の電界は緩和され、高耐圧なトランジスタを得ることができる。さらにシリコン基板100をエッチングした溝200に、ゲート酸化膜11およびゲート電極12Aを形成することにより、ゲート電極12

Aがシリコン基板100の他の領域に比べ低い位置にあるため、2層目の配線に対する段差を小さくすることができ、表面を平坦化することができる。

第4図(a)~(g)は、この発明の第4の実施例の半導体装置の製造方法を示す工程順断面図である。

第4図(a)に示すように、ソースおよびドレインとゲート電極とがオーバーラップしたLDD構造のトランジスタを形成する領域(以下「第1トランジスタ形成領域X」という。)と、ソースおよびドレインとゲート電極とがオーバーラップしないLDD構造のトランジスタを形成する領域(以下「第2トランジスタ形成領域Y」という。)とを分離するために、シリコン基板100を熱酸化することにより、LOCOS層21を形成した後、シリコン基板100上およびLOCOS層21上に、第1の被膜となる膜厚約250〔nm〕程度のPSG膜9を形成し、このPSG膜9上に、膜厚約50〔nm〕のSi<sub>3</sub>N<sub>4</sub>膜10を形成する。

次に第4図(b)に示すように、ホトリソグラフィ

35

工程により、第1および第2トランジスタ形成領域X、Yのゲート電極となる各領域のSi<sub>3</sub>N<sub>4</sub>膜10およびPSG膜9をエッチングして除去し、さらに表面が露出したシリコン基板100を等方性エッチングでエッチングすることにより、深さ約150〔nm〕の溝200を形成する。この溝200は側面にテーパーを有しており、また溝200にはPSG膜9の端部がエッチング深さ(約150nm)と同程度にオーバーハンクしている。そして露出したシリコン基板100上に、膜厚約10~20〔nm〕程度のゲート酸化膜11を形成し、このゲート酸化膜11上およびSi<sub>3</sub>N<sub>4</sub>膜10上に、多結晶シリコン膜からなる導電膜12を平坦に形成する。

次に第4図(c)に示すように、第1および第2トランジスタ形成領域X、Yの導電膜12をエッチバックすることにより、Si<sub>3</sub>N<sub>4</sub>膜10上の導電膜12を除去し、かつゲート酸化膜11上に膜厚約350〔nm〕程度の導電膜12を残すことにより、第1および第2のゲート電極となる逆T

36

字型のゲート電極12A、12A'を形成する。そして、このゲート電極12A、12A'の表面を熱酸化することにより、膜厚約150〔nm〕程度の第1のシリコン熱酸化膜13'を形成する。このシリコン熱酸化膜13'は、著しくエッチング速度の遅いものである。

そして、Si<sub>3</sub>N<sub>4</sub>膜10およびPSG膜9を除去した後、ゲート電極12A、12A'およびシリコン基板100の表面に、膜厚約20〔nm〕程度のシリコン熱酸化膜22を形成する。その後、シリコン熱酸化膜13'およびゲート電極12A、12A'の膜厚の厚い部分をマスクに用いて、リンをゲート電極12A、12A'の端部すなわち張り出した部分を透過させて、イオン注入することにより、第1および第3の半導体領域となる低濃度のn型の半導体領域23、23'を形成する。

次に第4図(d)に示すように、全面に膜厚約30~50〔nm〕程度のSi<sub>3</sub>N<sub>4</sub>膜24を形成し、このSi<sub>3</sub>N<sub>4</sub>膜24上に、PSG膜25を形成する。そして、ホトリソグラフィ工程により、第

37

38

1 トランジスタ形成領域Xに、第2の被膜となるPSG膜25を残置させるとともに、第2トランジスタ形成領域Yのゲート電極12A'の側壁に、シリコン熱酸化膜22およびSi<sub>3</sub>N<sub>4</sub>膜24を介して、第3の被膜となるPSG膜25'を残置させる。但し、第2トランジスタ形成領域Yに残置させたPSG膜25'は、ゲート電極12Aの端部すなわち張り出した部分の先端より内側に形成する。この第2トランジスタ形成領域Yに残置させるPSG膜25'の膜厚は、全面に形成するPSG膜25の膜厚により制御することができる。

次に第4図(e)に示すように、第2トランジスタ形成領域Yの表面に露出しているSi<sub>3</sub>N<sub>4</sub>膜24を除去し、さらにこのSi<sub>3</sub>N<sub>4</sub>膜24を除去した領域のシリコン基板100の表面を熱酸化することにより、膜厚約50(nm)程度の第2のシリコン熱酸化膜26を形成する。

次に第4図(f)に示すように、PSG膜25、25'およびSi<sub>3</sub>N<sub>4</sub>膜24を順に除去した後、第1トランジスタ形成領域Xのみに、膜厚約100

30

このように同一シリコン基板100上に形成したゲート電極12Aにソースおよびドレインの一部となる半導体領域23がオーバーラップしたLDD構造のトランジスタ(以下「第1トランジスタ」という。)と、ゲート電極12Bにソースおよびドレインとなる半導体領域23、32がオーバーラップしていないLDD構造のトランジスタ(以下「第2トランジスタ」という。)とは、混用することができる。

第1トランジスタは、ゲート電極12Aの端部直下の不純物濃度がなだらかに分布していることによりホットキャリアの発生が抑制されるため、信頼性が高く、高耐圧化および高電流化を図ることができるが、その反面、その構造上、ゲート容量が増加する。そこでホットキャリアの発生による劣化が顕著であるところでは、この第1トランジスタを用い、またホットキャリアの発生による劣化よりもゲート容量の増加が問題になるところでは、第2トランジスタを用いることにより、総体的に、高集積で高速かつ高信頼性のLSIを実

(nm)程度のPSG膜27を形成する。そして、シリコン酸化膜13'、26およびPSG膜27をマスクに用いて、トランジスタ形成領域Yのゲート電極12A'の端部すなわち張り出した部分をドライエッチングにより除去することにより、第3のゲート電極となる四角形のゲート電極12Bを形成する。

次に第4図(g)に示すように、PSG膜27およびシリコン熱酸化膜26、22を除去した後、ゲート電極12Aおよびゲート電極12Bの側壁にスペーサとして、第4の被膜となるシリコン酸化膜28、29を形成し、さらに露出しているシリコン基板100の表面に、膜厚約20(nm)程度のシリコン熱酸化膜30を形成する。そして、シリコン熱酸化膜13、シリコン酸化膜28、29、多結晶シリコン膜12Aおよび多結晶シリコン膜12Bをマスクに用いて、ヒ素をシリコン基板100中にイオン注入することにより、第2の半導体領域となる高濃度のn型の半導体領域31、32を形成する。

40

現することができる。

またゲート電極12A、12Bの膜厚の厚い部分にはパターンの細りがなく、電気抵抗の小さくすることができる。さらにシリコン基板100をエッチングした溝200に、ゲート酸化膜11およびゲート電極12A、12Bを形成することにより、ゲート電極12A、12Bがシリコン基板100の他の領域に比べ低い位置にあるため、2層目の配線に対する段差を小さくすることができ、表面を平坦化することができる。

なお第1、第2、第3の実施例において、シリコン熱酸化膜13は必ずしも形成しなくても良い。

また第2の実施例において、第2図(c)に示すSi<sub>3</sub>N<sub>4</sub>膜10およびPSG膜9を除去した後、ゲート電極12Aの側壁に、シリコン酸化膜等を形成し、このシリコン酸化膜の膜厚を制御することにより、その後に形成するソースおよびドレインとなる高濃度の第2導電型の第3の半導体領域と、ゲート電極12Aとのオーバーラップ量を制御しても良い。

41

—457—

42

## (発明の効果)

この発明の半導体装置およびその製造方法によれば、半導体層上に形成した第1の被膜を所定の領域をエッチングし、さらにこのエッチングにより露出した半導体層を等方性エッチングでエッチングすることにより形成した溝上に、ゲート酸化膜を介して逆丁字型のゲート電極を形成することにより、従来のようなゲート電極のパターンの細りをなくすことができる。したがって、電気抵抗の小さなゲート電極を得ることができる。また半導体層に形成した溝上に、逆丁字型のゲート電極を形成することによりゲート電極の位置を他の領域より低い位置となり、半導体層の表面の凹凸が小さくなる。したがって、2層目の配線に対する段差が小さくし、平坦化を行うことができる。また逆丁字型のゲート電極の端下の不純物濃度は、緩やかに傾斜する分布を有するため、ホットキャリアを抑制でき、ドレイン付近の電界を緩和することのできる高耐圧のトランジスタを得ることができる。さらに請求項(7)または(8)記載の半導体装

置およびその製造方法によれば、ホットキャリアの発生を抑制できる第1トランジスタと、ゲート容量の増加を抑制できる第2トランジスタとを混用することができる。

その結果、最小線幅0.5ミクロン以下の集積回路においても電源電圧を下げる必要がなく、高い駆動電流を得ることができるトランジスタを得ることができ、集積回路の微細化に大きく貢献することができる。

## 4. 図面の簡単な説明

第1図(a)~(e)は、この発明の第1の実施例の半導体装置の製造方法を示す工程順断面図、第2図(a)~(d)は、この発明の第2の実施例の半導体装置の製造方法を示す工程順断面図、第3図(a)~(e)は、この発明の第3の実施例の半導体装置の製造方法を示す工程順断面図、第4図(a)~(g)は、この発明の第4の実施例の半導体装置の製造方法を示す工程順断面図、第5図(a)~(d)はGOLDの電界効果型トランジスタの主要部の製造方法を示す工程順断面図である。

4 3

4 4

100…シリコン基板(半導体層)、200…溝、9…第1の被膜、11…ゲート酸化膜、12…導電膜、12A、12A'、12B…ゲート電極、15A、15B、23…第1の半導体領域、16A、16B…第2の被膜、17A、17B、32…第2の半導体領域、18A、18B、23'…第3の半導体領域、19A、19B…第4の半導体領域、20A、20B…第5の半導体領域、13'…第1のシリコン熱酸化膜、26…第2のシリコン熱酸化膜、25…第2の被膜、25'…第3の被膜、X…第1トランジスタ形成領域、Y…第2トランジスタ形成領域、28、29…第4の被膜

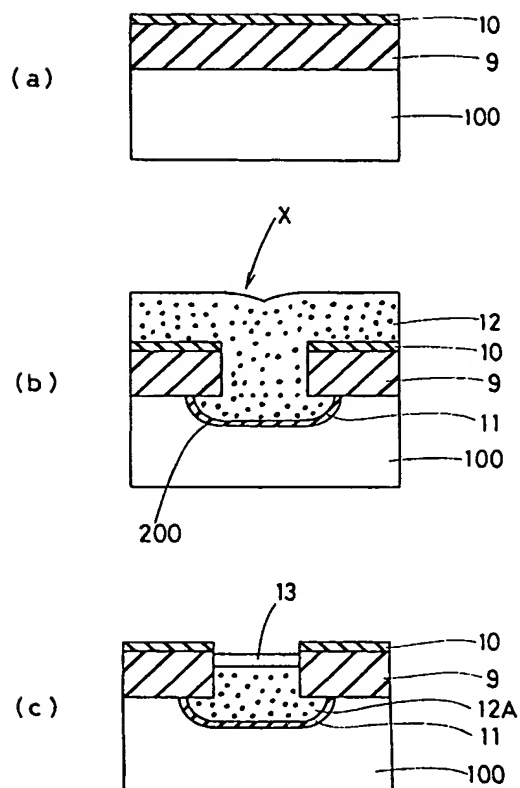
特許出願人 松下電器産業株式会社  
代理人 弁理士 宮井 暎夫

大宮弁理士  
印鑑

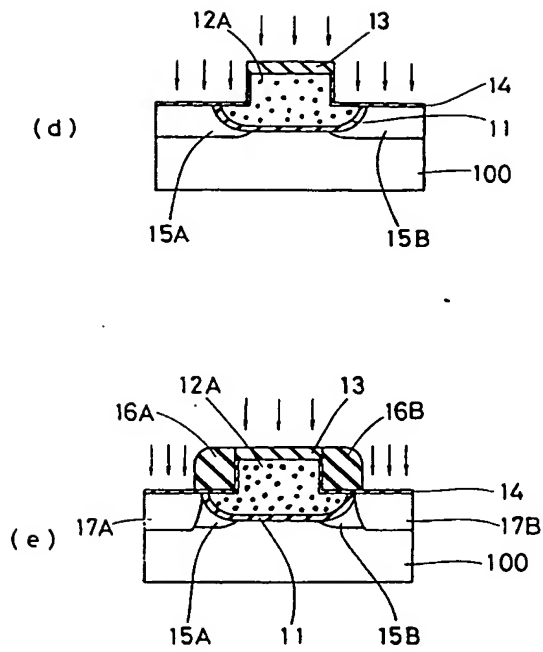
4 5

- 100 ... シリコン基板(半導体層)  
 200 ... 溝  
 9 ... 第1の根膜  
 11 ... ゲート酸化膜  
 12 ... 導電膜  
 12A, 12A', 12B ... ゲート電極  
 15A, 15B, 23 ... 第1の半導体領域  
 16A, 16B ... 第2の根膜  
 17A, 17B, 32 ... 第2の半導体領域  
 18A, 18B, 23 ... 第3の半導体領域  
 19A, 19B, 32 ... 第4の半導体領域  
 20A, 20B ... 第5の半導体領域  
 13 ... 第1のシリコン熱酸化膜  
 26 ... 第2のシリコン熱酸化膜  
 25 ... 第2の根膜  
 25' ... 第3の根膜  
 X ... 第1トランジスタ形成領域  
 Y ... 第2トランジスタ形成領域  
 28, 29 ... 第4の根膜

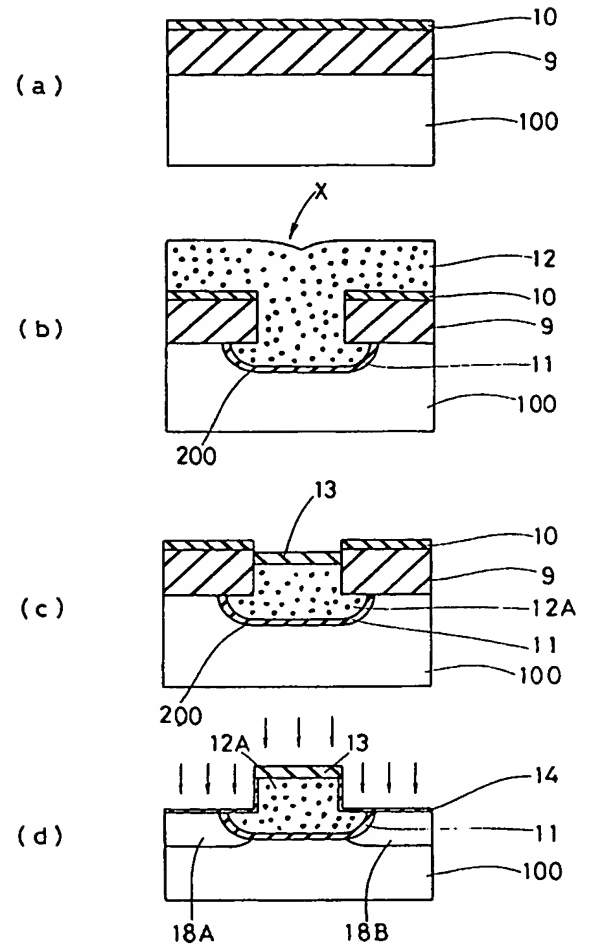
第 1 図



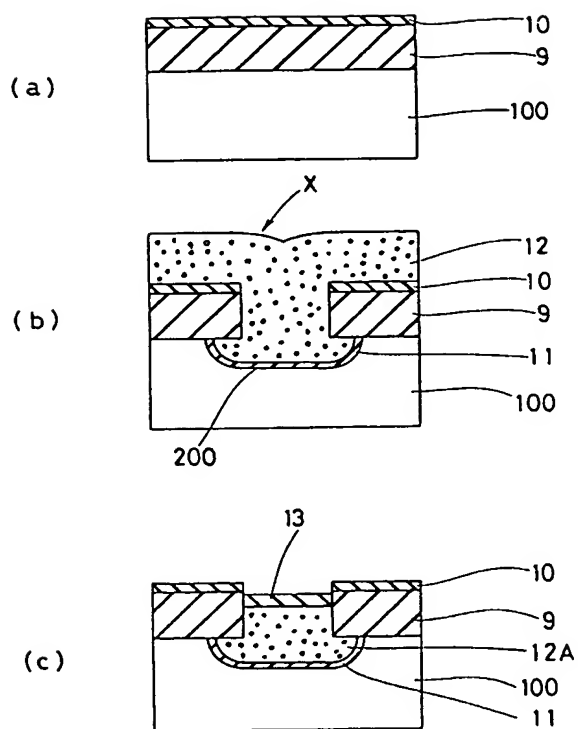
第 1 図



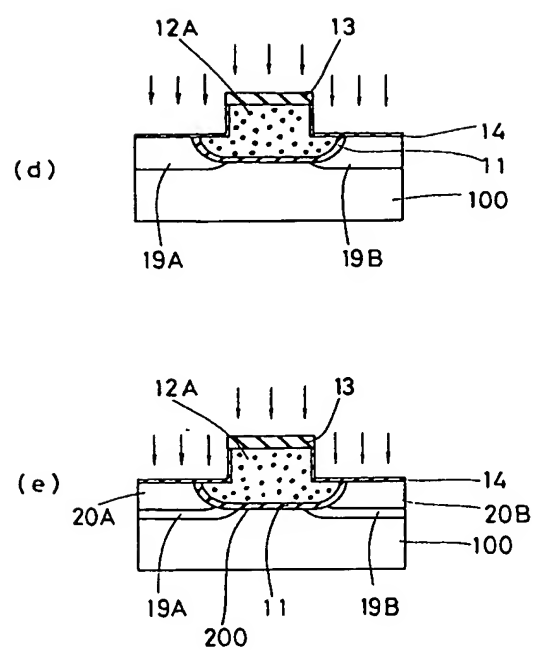
第 2 図



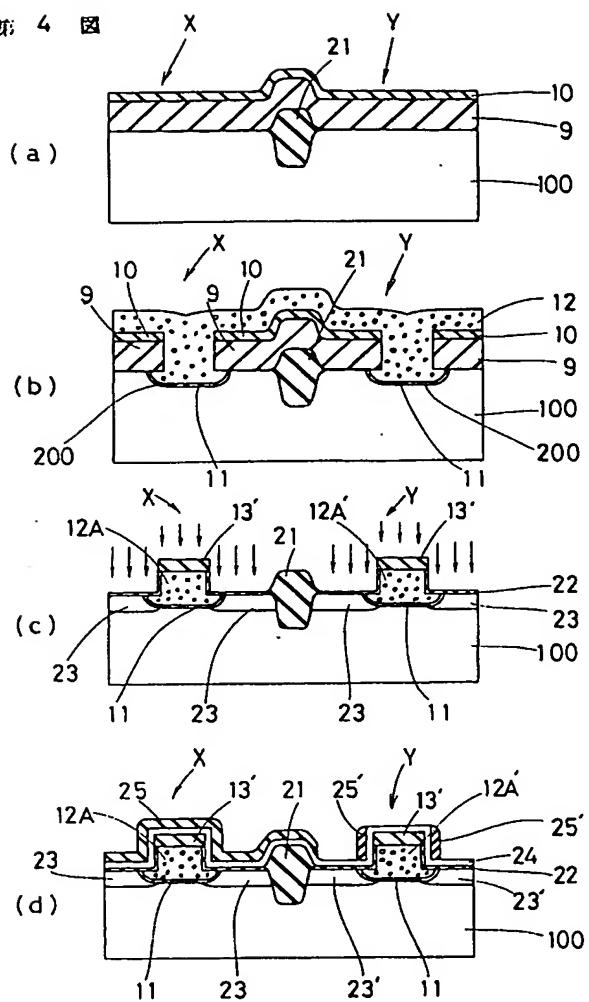
第 3 図



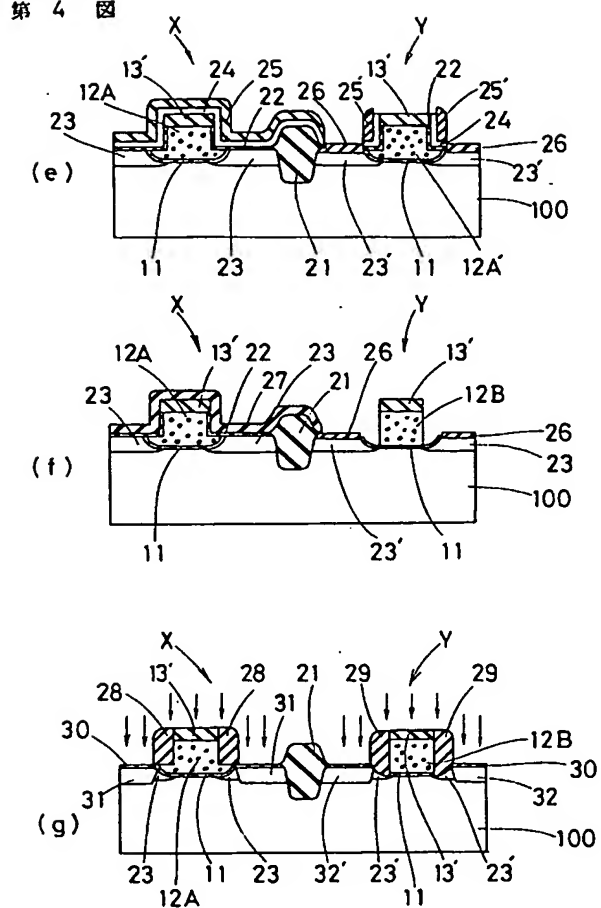
第 3 图



第 4 圖



第 4 圖



第 5 圖

